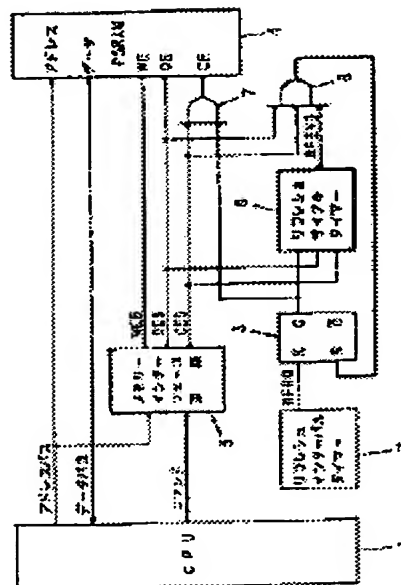


REFRESH DEVICE OF RANDOM ACCESS MEMORY AND COMPUTER USING THIS DEVICE

Patent number: JP4243087
 Publication date: 1992-08-31
 Inventor: FUKAYA TERUYUKI
 Applicant: MATSUSHITA ELECTRIC IND CO LTD
 Classification:
 - international: G11C11/406; G11C11/403
 - european:
 Application number: JP19910004272 19910118
 Priority number(s):

Abstract of JP4243087

PURPOSE: To refresh a pseudo static RAM in the read cycle of the pseudo static RAM of a CPU.
CONSTITUTION: An automatic refresh cycle to prohibit the admission of a chip enable signal in a PSRAM 8 and allows the admission of only the output enable signal therein is set by a 2-input OR gate 7 when the CPU 1 accesses the PSRAM 8 after a refresh request signal is outputted. A flip-flop 3 is reset upon ending of the refreshing and the chip enable signal enters the PSRAM 8 to start the read cycle. The refresh cycle is generated in the pseudo static RAM with the simple circuit.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-243087

(43) 公開日 平成4年(1992)8月31日

(51) Int.Cl. ³	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 11/406 11/403		8526-5L 8526-5L 8526-5L	G 1 1 C 11/34	3 6 3 C 3 6 3 H 3 7 1 J
審査請求 未請求 請求項の数 2 (全 5 頁)				

(21) 出願番号 特願平3-4272

(22) 出願日 平成3年(1991)1月18日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 深谷 輝之

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 弁理士 小銀治 明 (外2名)

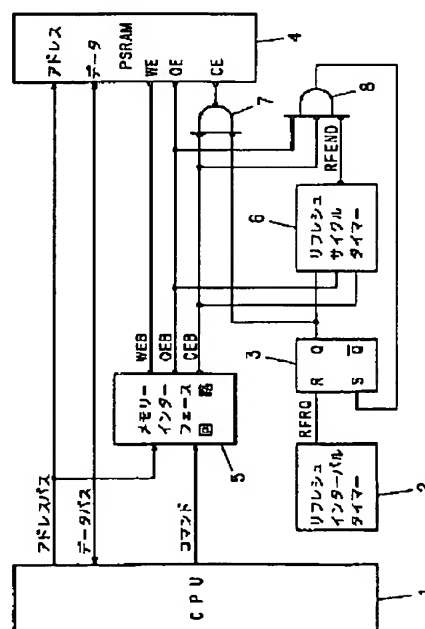
(54) 【発明の名称】 ランダムアクセスメモリーのリフレッシュ装置及びそれを用いたコンピューター装置

(57) 【要約】

【目的】 CPUの疑似スタティックRAMリードサイクルの中で疑似スタティックRAMのリフレッシュを行う。

【構成】 リフレッシュ要求信号が出力された後CPU1がPSRAM8をアクセスすると、2入力ORゲート6によってPSRAM8にチップイネーブル信号が入らずアウトプットイネーブル信号のみが入るオートリフレッシュサイクルになる。リフレッシュが終了するとフリップフロップ3がリセットされ、PSRAM8にチップイネーブル信号が入りリードサイクルが始まる。

【効果】 簡単な回路で疑似スタティックRAMに対してリフレッシュサイクルを発生させることができる。



【特許請求の範囲】

【請求項1】ランダムアクセスメモリーへのリフレッシュ要求信号を所定間隔で出力するリフレッシュインターバルタイマーと、前記リフレッシュインターバルタイマーの出力信号の出力後に中央処理装置より出力されたアウトプットイネーブル信号に応じてスタートするリフレッシュサイクルタイマーと、前記リフレッシュサイクルタイマーの動作中、ランダムアクセスメモリーのリフレッシュを行なうリフレッシュ手段と、前記リフレッシュサイクルタイマーの出力信号に応じて前記ランダムアクセスメモリーより中央処理装置にデータの送出指示を行なうメモリーインターフェイス手段を設けたことを特徴とするランダムアクセスメモリーのリフレッシュ装置。

【請求項2】ランダムアクセスメモリーへのリフレッシュ要求信号を所定間隔で出力するリフレッシュインターバルタイマーと、中央処理装置と、前記リフレッシュインターバルタイマーの出力信号の出力後に前記中央処理装置の出力するアウトプットイネーブル信号に応じてスタートするリフレッシュサイクルタイマーと、前記リフレッシュサイクルタイマーの動作中、ランダムアクセスメモリーのリフレッシュを行なうリフレッシュ手段と、前記リフレッシュサイクルタイマーの出力信号に応じて前記ランダムアクセスメモリーより前記中央処理装置にデータの送出指示を行なうメモリーインターフェイス手段を設けたことを特徴とするコンピューター装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ランダムアクセスメモリーのリフレッシュ装置及びそれを用いたコンピューター装置に関するものである。

【0002】

【従来の技術】近年、ワードプロセッサやワードプロセッサ機能付電子英文タイプライターのテキスト等或はパーソナルコンピューターのメモリーとして、安価な疑似スタティックランダムアクセスメモリー（以下PSRAMと記す）が使用されるようになってきた。

【0003】以下、従来のPSRAMのリフレッシュ装置について説明する。図3は従来のPSRAMのリフレッシュ装置のブロック図であり、9はCPU、10はPSRAMにリフレッシュが必要になる時間を計測し、リフレッシュが必要になったらリフレッシュ要求信号（以下RFRQと記す）を出力するリフレッシュインターバルタイマー。

【0004】11はRFRQを受けてCPU9に対してホールト要求信号（以下HALTと記す）を出力し、後述のリフレッシュ信号発生回路12からのリフレッシュ終了信号（以下RFENDと記す）によりHALTを取り下げるバスアービタ。

【0005】12はCPU9がHALTを受けたことを知らせるホールトアクノーリジ信号（以下、HACKと

記す。）をCPU9から受け、リフレッシュ信号（以下RFと記す）を出力し、リフレッシュが終了したときにはバスアービタ11にRFENDを出力するリフレッシュ信号発生回路。

【0006】13はCPU9からのコマンド或はRFを受けてPSRAMに対してライトイネーブル信号（以下WEBと記す）、アウトプットイネーブル信号（以下OEBと記す）及びPSRAMの選択信号（以下CEBと記す）を出力するメモリーインターフェース回路、14はPSRAMである。

【0007】以上のように構成されたPSRAMのリフレッシュ装置について、以下図4のタイミング図を用いてその動作を説明する。

【0008】PSRAM14はCEB" H" の状態でOEBを一定時間" L" にすると、PSRAM14内のオートリフレッシュ回路が起動され、PSRAM14内部でリフレッシュ（以下オートリフレッシュと記す）が行われる。

【0009】リフレッシュインターバルタイマー10からリフレッシュが必要になったことを知らせる信号としてRFRQ" H" が出力されると、バスアービタ11はCPU9からPSRAM14の制御権を奪う為、CPU9に対しHALTを" H" にする。CPU9がHALT" H" を受けてホールト状態になると、HACKが" H" になる。

【0010】リフレッシュ信号発生回路12がHACK" H" を受けると、メモリーインターフェース回路13に対しリフレッシュ信号RFを" L" にする。メモリーインターフェース回路13はリフレッシュ信号RFが" H" の期間PSRAM14に対し、CEB信号が" H"、WEB信号が" H"、OEB信号が" L" のオートリフレッシュサイクルを与える。

【0011】オートリフレッシュが終わると、リフレッシュ信号発生回路12はRFEND信号を" H" にして、バスアービタ11にリフレッシュが終了した事を伝える。バスアービタ11はRFEND信号が" H" になるとHALTを" L" にしてPSRAMの制御権をCPU9に返す。以上が従来のPSRAMのリフレッシュ装置の動作である。

【0012】

【発明が解決しようとする課題】

しかしながら従来の構成では、PSRAM14が揮発性メモリーである為、一定時間内にリフレッシュサイクルが外部から与えられないと、メモリー内のデータを保持する事はできないという課題を有していた。すなわち、PSRAM14はCEBを" H" にしてOEBのみを" L" にすると、PSRAM14内部に於いてリフレッシュアドレスを発生し、自動的にリフレッシュを行うオートリフレッシュモードを備えているので、システム内部にROM等のPSRAM14以外

のメモリーを持っていれば、CPU9がPSRAM14以外のメモリーをリードしてCEBが“H”、OEBが“L”となるサイクルを発生させれば、自動的にPSRAM14に対するリフレッシュを行なうことができる。

【0013】しかしPSRAM14以外にメモリーを持たないシステムや、ある一定時間以上PSRAM14以外のメモリーをアクセスしないシステムにおいては、PSRAM14に対して強制的にリフレッシュを行う必要がある。

【0014】また、CPU9からPSRAM14の制御権を受け取るにはバスアービタ11を必要とし、回路が複雑になるという問題点を有していた。

【0015】

【課題を解決するための手段】リフレッシュインターバルタイマーの出力が発生した後に、CPUが出力したOEB信号に応じてRAMのリフレッシュを行なうリフレッシュ手段を設けた。

【0016】

【作用】このような手段を設けたことにより、リフレッシュインターバルタイマーからリフレッシュ要求がきたときに、その後発生したCPUの最初のPSRAMリード信号にตอบสนองしてPSRAMのリフレッシュを行なう。

【0017】

【実施例】以下に、本発明に係る一実施例を図1及び図2を用いて説明する。1はCPU、2は所定の間隔でリフレッシュ要求信号（以下RFRQと記す）を出力するリフレッシュインターバルタイマー。

【0018】3はRFRQによりセットされ、リフレッシュサイクルが終了したらリセットされるセットリセットフリップフロップ（以下、F/Fと記す）。

【0019】4は疑似スタティックRAM（以下、PSRAMと記す）。5はCPU1からのコマンドを受けて制御信号ライトイネーブル信号（以下、WEBと記す）、アウトプットイネーブル信号（以下、OEBと記す）、及びPSRAM4の選択信号（以下、CEBと記す。）を出力するメモリーインターフェース回路であって。

【0020】6はリフレッシュサイクルの時間を計測し、リフレッシュが終了したときにリフレッシュ終了信号（以下、RFENDと記す。）を出力するリフレッシュサイクルタイマー。

【0021】7はメモリーインターフェース回路5の出力CEBとF/F3の非反転出力Qを受けて、PSRAM4に対しCEを出力する2入力ORゲート。

【0022】8はリフレッシュサイクルタイマー6のRFENDとメモリーインターフェース回路5のCEBとOEBを受けてF/F3にリセット信号を出力する3入力NORゲートである。

【0023】以上のように構成された本実施例の動作を

図2のタイミング図を用いて説明する。PSRAM8にリフレッシュが必要になると、リフレッシュインターバルタイマー2の出力RFRQが“H”になり、F/F3をセットする。するとF/F3の非反転出力Qが“H”になる。この非反転出力Qが“H”になった後、最初に現れたCPU1のリードサイクルに於いてPSRAM8のリフレッシュが行われる。この最初のリードサイクルに於いて、まずメモリーインターフェース回路5のCEBの出力が“L”になるが、F/F3の非反転出力Qが“H”になっているため、2入力ORゲート7の出力、すなわちPSRAM8のCEは“H”のままPSRAM8はイネーブルにならない。

【0024】次にメモリーインターフェース回路4のOEBが“L”になると、PSRAM8にはCE信号が“H”になり、OE信号が“L”になるとのオートリフレッシュサイクルが開始することになる。またリフレッシュサイクルタイマー6はCEB信号が“H”、OEB信号が“L”、F/Fの非反転出力Qが“H”すなわちOEBが“L”になった時点からスタートし、PSRAM8のリフレッシュに必要な時間が過ぎると3入力NORゲート7にRFEND“L”を出力する。OEB、CEBは既に“L”になっているため、RFENDが“L”になった時点で、3入力NORゲート7がF/F3のリセット端子に“H”を出力し、F/F3をリセットする。すると、F/F3の非反転出力Qが“L”になり、2入力ORゲート6の出力が“L”すなわちPSRAM8のCEが“L”になり、PSRAM8のリフレッシュサイクルが終了しリードサイクルが開始される。つまり、OEBはPSRAM4からデータの読み出しに充分余裕を持って設定されており、この期間内に充分リフレッシュ期間を入れることができる。

【0025】以上のように本実施例によれば、CPU1をホールド状態にする事なくPSRAM8に対するリフレッシュサイクルを作る事ができる。すなわちバスアービタ回路を必要としない簡単な回路によりPSRAM8のリフレッシュサイクルを作ることができる。

【0026】

【発明の効果】本発明は、リフレッシュインターバルタイマーの出力が発生した後に、CPUが出力したOEB信号に応じてRAMのリフレッシュを行なうリフレッシュ手段を設けたことにより、リフレッシュインターバルタイマーからリフレッシュ要求がきたときに、その後発生したCPUの最初のRAMリード信号にตอบสนองしてRAMのリフレッシュを行なうことができるので、CPUのRAMリードサイクルの中でRAMのリフレッシュを行うことができ、CPUをホールド状態にする必要がなく、簡単な回路でRAMのリフレッシュを行うことができるという効果を有する。

【0027】また、メモリーのリード期間の余裕時間を利用してメモリーをリフレッシュするため動作が速くな

る。

【図面の簡単な説明】

【図1】本発明の一実施例に係る疑似スタティックRAMのリフレッシュ装置の回路図

【図2】本実施例のタイミング図

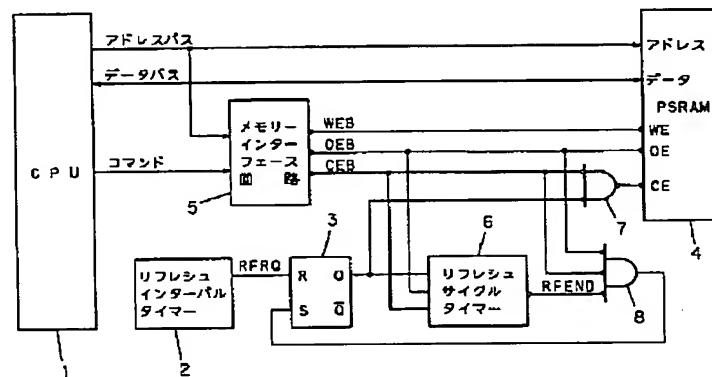
【図3】従来例に係る疑似スタティックRAMのリフレッシュ装置のブロック図

【図4】従来例のタイミング図

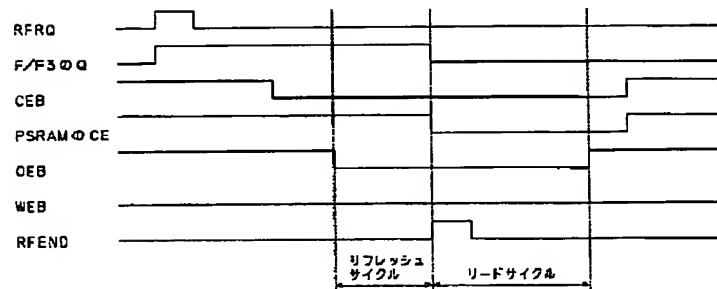
【符号の説明】

- 1 CPU
- 2 リフレッシュインターバルタイマー
- 3 セットリセットフリップフロップ
- 4 疑似スタティックRAM
- 5 メモリーインターフェイス回路
- 6 リフレッシュタイマー
- 7 2入力ORゲート
- 8 3入力NORゲート

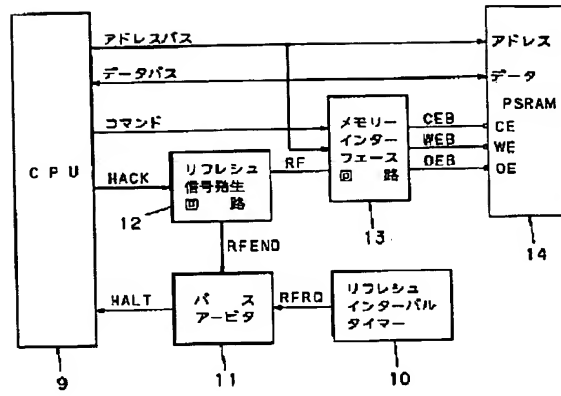
【図1】



【図2】



【図3】



【図4】

